

日本国特許庁
JAPAN PATENT OFFICE

#2
Jc872 U.S. PTO
09/978018
10/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月15日

出願番号

Application Number:

特願2000-382575

出願人

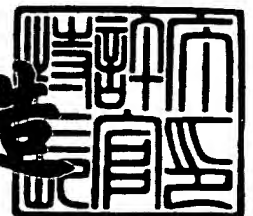
Applicant(s):

富士通株式会社

2001年 7月 9日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3064105

【書類名】 特許願

【整理番号】 0041057

【提出日】 平成12年12月15日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/04
G06F 3/00
H03K 19/075

【発明の名称】 終端抵抗回路および信号伝送システム

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高内 英規

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐々木 学

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 終端抵抗回路および信号伝送システム

【特許請求の範囲】

【請求項 1】 信号の授受を行うインターフェース回路に配設される終端抵抗回路であって、

第 1 の終端抵抗回路と、該第 1 の終端抵抗回路とは異なる構成の第 2 の終端抵抗回路とを備え、該第 1 および第 2 の終端抵抗回路を任意に切り替えて使用することを特徴とする終端抵抗回路。

【請求項 2】 請求項 1 に記載の終端抵抗回路において、

前記第 1 の終端抵抗回路は、同じ導電型のトランジスタを有するシンメトリックロード構成であり、且つ、

前記第 2 の終端抵抗回路は、異なる導電型のトランジスタを有するトランスファゲート構成であることを特徴とする終端抵抗回路。

【請求項 3】 請求項 1 または請求項 2 に記載の終端抵抗回路において、

前記第 1 の終端抵抗回路は、第 1 導電型の第 1 および第 2 のトランジスタを備え、且つ、前記第 2 の終端抵抗回路は、前記第 1 導電型の第 3 のトランジスタおよび該第 1 導電型とは異なる第 2 導電型の第 4 のトランジスタを備えることを特徴とする終端抵抗回路。

【請求項 4】 請求項 3 に記載の終端抵抗回路において、前記第 1 の終端抵抗回路および前記第 2 の終端抵抗回路をそれぞれ複数個並列に設け、該複数の第 1 の終端抵抗回路および該複数の第 2 の終端抵抗回路をそれぞれ任意に接続制御することを特徴とする終端抵抗回路。

【請求項 5】 請求項 4 に記載の終端抵抗回路において、

前記複数の第 1 の終端抵抗回路はそれぞれ同じ重みを有するように、該各第 1 の終端抵抗回路における前記第 1 および第 2 のトランジスタのサイズを等しく設定したことを特徴とする終端抵抗回路。

【請求項 6】 請求項 4 に記載の終端抵抗回路において、

前記複数の第 1 の終端抵抗回路はそれぞれ任意の重みを有するように、該各第 1 の終端抵抗回路における前記第 1 および第 2 のトランジスタのサイズを当該重

みに応じて設定したことを特徴とする終端抵抗回路。

【請求項 7】 請求項 4 に記載の終端抵抗回路において、

前記複数の第 2 の終端抵抗回路はそれぞれ同じ重みを有するように、該各第 2 の終端抵抗回路における前記第 3 および第 4 のトランジスタのサイズを等しく設定したことを特徴とする終端抵抗回路。

【請求項 8】 請求項 4 に記載の終端抵抗回路において、

前記複数の第 2 の終端抵抗回路はそれぞれ任意の重みを有するように、該各第 2 の終端抵抗回路における前記第 3 および第 4 のトランジスタのサイズを当該重みに応じて設定したことを特徴とする終端抵抗回路。

【請求項 9】 請求項 3 ～ 8 のいずれか 1 項に記載の終端抵抗回路において、前記第 1 のトランジスタおよび前記第 3 のトランジスタを 1 つのトランジスタで兼用したことを特徴とする終端抵抗回路。

【請求項 10】 信号を送り出す送信回路と、該送信回路から出力された信号を伝送する伝送路と、該伝送路を介して該送信回路からの信号を受け取る受信回路と、該伝送路の少なくとも一端に設けられた請求項 1 ～ 9 のいずれか 1 項に記載の終端抵抗回路とを備えることを特徴とする信号伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は終端抵抗回路および信号伝送システムに関し、特に、情報処理装置間や L S I 間で高速に信号を送受信するインターフェース回路に配設される終端抵抗回路に関する。

近年、様々な情報処理装置間や L S I 間等において、高速に信号を送受信することが必要とされ、この要求はますます強くなって来ている。ところで、信号の高速伝送においては、信号の反射が発生すると、波形が劣化して信号を正確に伝送できないことにもなる。そこで、伝送路の送信端、受信端、或いは、その両方に伝送路の特性インピーダンス値と同じ抵抗（終端抵抗）を接続して信号の反射を抑え、波形の劣化を防いで正確な信号伝送を行うようになっている。

【0002】

この終端抵抗は、例えば、チップ抵抗として外付けすることもできるが、LSIの周辺に配置する素子が増加することになり、さらに、インピーダンスのミスマッチが発生して伝送信号の反射や劣化につながることも起こりうる。また、終端抵抗をLSI等に内蔵する場合、一種類の終端抵抗回路しか内蔵しないため、送信端または受信端のどちらかの終端抵抗回路でインターフェース回路の伝送信号レベルに合わせる必要があり、一度LSIを製作してしまうと、インターフェース回路の種類も一意に固定されることになっていた。そのため、インターフェース回路の自由度が損なわれ、ユーザの要求を満たすことができなかつたり、或いは、LSIを製作し直すための工数が発生することになっていた。そこで、汎用性の高いインターフェース回路を得るための終端抵抗回路の提供が強く要望されている。

【0003】

【従来の技術】

従来、信号の反射を抑えるとともに波形の劣化を防いで正確な信号伝送を行うために、伝送路の送信端、受信端、或いは、その両方に伝送路の特性インピーダンス値と同じ終端抵抗（抵抗）を接続することが行われているが、このインターフェース回路の伝送路の特性インピーダンスと同じ抵抗を接続する場合、一般的に2種類の終端方法が知られている。その1つは、LSIの外に抵抗を設ける（外付けする）方法であり、また、他の1つは、LSIの内部に抵抗を設ける（抵抗回路を内蔵する）方法である。

【0004】

図1は伝送路の両端に終端抵抗を設けた信号伝送システムの一例を概略的に示す図であり、具体的に、CML (Current Mode Logic) 型のインターフェース回路に用いられる伝送路の両端に終端抵抗回路を接続した例を示している。図1において、参照符号1は送信器（Tx）、7は受信器（Rx）、4は信号伝送路、そして、2、3、5、6は終端抵抗を示している。ここで、送信器1および受信器7は、同じ電源電圧（例えば、1.8V）で動作しており、信号は相補信号（差動信号）により伝送されている。

【0005】

図 1 に示す信号伝送システムにおいて、例えば、伝送路 4 の特性インピーダンスは $50\ \Omega$ に設計してあり、そのため、終端抵抗 2, 3, 5, 6 の抵抗値も例えば $50\ \Omega$ に設定する必要がある。ここで、終端抵抗 2, 3, 5, 6 を L S I (送信器 1 および受信器 7) の外に設ける場合、例えば、既製のチップ抵抗等を用いて外付けすることになるが、L S I の内部に設ける場合には、例えば、後述する P チャネル型 MOS トランジスタ (PMOS トランジスタ) で構成されたシンメトリックロード (Symmetric Load) 型の終端抵抗回路を内蔵する。なお、本信号伝送システムにおいて、CML インターフェースの場合には、基準電圧 V_1 および V_2 には同じ電源電圧 (例えば、 1.8 V) を印加する。

【0006】

図 2 は伝送路の両端に終端抵抗を設けた信号伝送システムの他の例を概略的に示す図である。この図 2 に示す信号伝送システムは、上述した図 1 の信号伝送システムにおいて、送信器 1 と受信器 7 との電源電圧が異なる場合の例を示しており、例えば、送信器 1 は 3.3 V の電源電圧で動作し、 3.3 V の CML レベルの伝送信号を出力し、また、受信器 7 は 1.8 V の電源電圧で動作し、 1.8 V の CML レベルの伝送信号を受信可能として構成されている。図 2 において、参照符号 8 および 9 は、伝送信号のコモンモードを変化させるための容量結合用コンデンサを示している。

【0007】

図 2 に示す信号伝送システムにおいて、例えば、伝送路 4 の特性インピーダンスは $50\ \Omega$ に設計してあり、そのため、終端抵抗 2, 3, 5, 6 の抵抗値も例えば $50\ \Omega$ に設定する必要がある。ここで、終端抵抗 2, 3, 5, 6 を L S I の外に設ける場合、前述した図 1 の信号伝送システムと同様に、例えば、既製のチップ抵抗等を用いて外付けすることになる。

【0008】

一方、終端抵抗を L S I の内部に設ける場合、送信器 1 側の終端抵抗 2 および 3 としては、PMOS トランジスタで構成されたシンメトリックロード型の終端抵抗回路を内蔵し、また、受信器 7 側の終端抵抗 5 および 6 としては、後述する N チャネル型 MOS トランジスタ (NMOS トランジスタ) および PMOS トラ

ンジスタで構成されたトランスファゲート型の終端抵抗回路を内蔵する。なお、本信号伝送システムにおいて、例えば、基準電圧 V_3 としては 3.3 V を印加し、また、基準電圧（受信コモンモード電圧） V_4 としては 1.3 V を印加する。

【0009】

図3はシンメトリックロード型の終端抵抗回路の例を示す図であり、図3（a）は2つのPMOSトランジスタ10および11で構成したシンメトリックロード型の終端抵抗回路を示し、また、図3（b）は2つのNMOSトランジスタ10'および11'で構成したシンメトリックロード型の終端抵抗回路を示す。

図3（a）に示す2つのPMOSトランジスタで構成したシンメトリックロード型の終端抵抗回路は、各トランジスタ10および11のソースおよびドレインをそれぞれ共通接続し、ソースに対して電源電圧 V_5 （例えば、 3.3 V 、または、 1.8 V ）を印加すると共に、ドレインを伝送路（ V_6 ）に接続するようになっている。ここで、一方のトランジスタ10のゲートには接地電圧（例えば、 0 V ）が印加され、他方のトランジスタ11のゲートはドレインと繋がれてダイオード接続されている。

【0010】

この図3（a）に示すシンメトリックロード型の終端抵抗回路は、伝送路の信号（電圧 V_6 ）が電源電圧から電源電圧 -0.8 V 付近まで（例えば、 $3.3\text{ V} \sim 2.5\text{ V}$ 、または、 $1.8\text{ V} \sim 1.0\text{ V}$ ）が現実的な動作範囲であり、それ以下の電圧範囲ではPMOSトランジスタが高抵抗となって終端抵抗値を維持することが困難になる。

【0011】

図3（b）に示すシンメトリックロード型の終端抵抗回路は、図3（a）の終端抵抗回路におけるPMOSトランジスタ10、11をNMOSトランジスタ10'、11'で構成したもので、各トランジスタ10'および11'の共通接続されたドレインに基準電圧電圧 V_5' （例えば、信号振幅に応じた 0.5 V 、または、 1.2 V ）を印加すると共に、共通接続されたソースを伝送路（ V_6 ）に接続するようになっており、この場合も、同様の問題が存在する。

【0012】

図4はトランスファゲート型の終端抵抗回路の一例を示す図である。

図4に示すトランスファゲート型の終端抵抗回路は、PMOSトランジスタ12およびNMOSトランジスタ13で構成され、トランジスタ12のソースおよびトランジスタ13のドレインを共通接続して基準電圧 V_7 （例えば、1.3V）を印加すると共に、トランジスタ12のドレインおよびトランジスタ13のソースを共通接続して伝送路（ V_8 ）に接続するようになっている。ここで、トランジスタ12のゲートには接地電圧（例えば、0V）が印加され、トランジスタ13のゲートには電源電圧（例えば、1.8V）が印加されている。

【0013】

この図4に示すようなトランスファゲート型の終端抵抗回路は、各トランジスタが動作している $(V_7 + V_8) / 2$ 、すなわち、電源電圧 $/ 2$ （例えば、0.9V）付近で使用される。この終端抵抗回路は、どの電圧範囲でも抵抗として動作するが、電源電圧付近ではNMOSトランジスタ13しか動作しなくなり、また、0V付近ではPMOSトランジスタ12だけしか動作しなくなるため、動作していない方のトランジスタが容量負荷となって、送信器1または受信器7の回路動作を制限することになってしまう。

【0014】

【発明が解決しようとする課題】

上述したように、終端抵抗をチップ抵抗等により外付けとする場合、LSIの周辺に配置すべき素子が増加して近年の高集積化の観点から好ましくない。さらに、信号の伝送速度が高速になると、送信器端から受信器端の終端抵抗間の配線やパッケージによりインピーダンスのミスマッチが発生して伝送信号の反射や劣化が生じてしまう。

【0015】

また、終端抵抗をLSIに内蔵する場合、シンメトリック型或いはトランスファゲート型の一方の終端抵抗回路しか内蔵しないため、送信端（送信器Txの出力端）または受信端（受信器Rxの入力端）のどちらかの終端抵抗回路で、 T_x / R_x を含むインターフェース回路の伝送信号レベルに合わせる必要があり、一度LSIを製作してしまうと、インターフェース回路の種類も一意に固定される

ことになっていた。そのため、インターフェース回路の自由度が損なわれ、ユーザの要求を十分に満たすことがでず、或いは、L S I を製作し直すための工数が発生するといった問題があった。

【 0 0 1 6 】

本発明の目的は、上述した従来の終端抵抗回路が有する課題に鑑み、汎用性の高いインターフェース回路を得るための終端抵抗回路の提供にある。

【 0 0 1 7 】

【課題を解決するための手段】

本発明によれば、信号の授受を行うインターフェース回路に配設され、第 1 の終端抵抗回路と、該第 1 の終端抵抗回路とは異なる構成の第 2 の終端抵抗回路とを備え、第 1 および第 2 の終端抵抗回路を任意に切り替えて使用するようにした終端抵抗回路が提供される。

【 0 0 1 8 】

ここで、第 1 の終端抵抗回路は、同じ導電型のトランジスタを有するシンメトリックロード構成とされ、また、第 2 の終端抵抗回路は、異なる導電型のトランジスタを有するトランスファゲート構成とされる。

【 0 0 1 9 】

【発明の実施の形態】

以下、本発明に係る終端抵抗回路および信号伝送システムの実施例を、添付図面を参照して詳述する。

図 5 は本発明に係る終端抵抗回路の第 1 実施例を示す回路図である。図 5 において、参照符号 1 0 0 はシンメトリックロード型の終端抵抗部を示し、また、2 0 0 はトランスファゲート型の終端抵抗部を示している。

【 0 0 2 0 】

図 5 に示されるように、終端抵抗回路は、シンメトリックロード型の終端抵抗部 1 0 0 およびトランスファゲート型の終端抵抗部 2 0 0 を備えている。シンメトリックロード型の終端抵抗部 1 0 0 は、PMOS トランジスタ 1 6 および 1 7 で構成され、また、トランスファゲート型の終端抵抗部 2 0 0 は、PMOS トランジスタ 1 8 および NMOS トランジスタ 1 9 で構成される。PMOS トランジ

スタ 1 4 および 1 5 は、トランジスタ 1 6 の制御（接続・切断）を行うのに使用され、制御信号（V 1 1，V 1 2）によりスイッチとして機能する。

【0 0 2 1】

図 5 において、電圧 V 9 は電源電圧（例えば、1. 8 V）であり、電圧 V 1 0 は、図 1 の信号伝送システムのように伝送路を直結する際には電源電圧（例えば、1. 8 V）とされ、図 2 の信号伝送システムのように伝送路を容量結合する際の終端抵抗 5，6 には受信器 7 の受信電圧範囲に合わせた基準電源（例えば、1. 3 V）とされる。また、電圧 V 1 6 は伝送路の信号電圧を示している。電圧（信号）V 1 1～V 1 5 は、シンメトリックロード型またはトランスファゲート型のどちらの終端抵抗部（回路）を有効とするかを定める制御信号であり、以下の表 1 に示す論理で動作する。なお、下記の表 1 において、例えば、参照符号『L』は 0 V であり、また、『H』は 1. 8 V である。また、電源電圧は 1. 8 V であり、また、基準電圧は 1. 3 V である。

【0 0 2 2】

【表 1】

| | V 1 0 | V 1 1 | V 1 2 | V 1 3 | V 1 4 | V 1 5 | V 1 6 |
|----------------------------|-------|-------|-------|-------|-------|-------|-------|
| シンメトリック ロード型の終端 抵抗回路 | 電源電圧 | H | L | L | H | L | 伝送路 |
| トランスファゲ ート型の終端抵 抗回路 | 基準電圧 | L | H | H | L | H | 伝送路 |

【0 0 2 3】

上記の表 1 のように制御することにより、図 5 に示す終端抵抗回路をシンメトリックロード型またはトランスファゲート型のいずれにも設定することができ、容易に各種インターフェースに対応した汎用性の高い終端抵抗回路を得ることが可能になる。

図 6 は本発明に係る終端抵抗回路の第 2 実施例を示す回路図である。

【0 0 2 4】

図 6 に示す終端抵抗回路は、上述した図 1 の終端抵抗回路における 2 つの PM

OSトランジスタ17および18を1つのPMOSトランジスタ20で兼用するように構成したものである。すなわち、シンメトリックロード型の終端抵抗部100'は、PMOSトランジスタ16および20で構成され、また、トランスファゲート型の終端抵抗部200'は、PMOSトランジスタ20およびNMOSトランジスタ19で構成される。なお、PMOSトランジスタ14および15は、トランジスタ16の制御（接続・切断）を行うのに使用され、制御信号（V17, V18）によりスイッチとして機能する。

【0025】

図6において、電圧V9は電源電圧（例えば、1.8V）であり、電圧V10は、図1の信号伝送システムのように伝送路を直結する際には電源電圧（例えば、1.8V）とされ、図2の信号伝送システムのように伝送路を容量結合する際には基準電圧（例えば、1.3V）とされる。また、電圧V16は伝送路の信号電圧を示している。電圧（信号）V15およびV17～V19は、シンメトリックロード型またはトランスファゲート型のどちらの終端抵抗回路を有効とするかを定める制御信号であり、以下の表2に示す論理で動作する。なお、下記の表2においても、例えば、参照符号『L』は0Vであり、また、『H』は1.8Vである。また、電源電圧は1.8Vであり、また、基準電圧は1.3Vである。

【0026】

【表2】

| | V10 | V17 | V18 | V19 | V15 | V16 |
|--------------------|------|-----|-----|-----|-----|-----|
| シンメトリックロード型の終端抵抗回路 | 電源電圧 | H | L | L | L | 伝送路 |
| トランスファゲート型の終端抵抗回路 | 基準電圧 | L | H | L | H | 伝送路 |

【0027】

上記の表2のように制御することにより、図6に示す終端抵抗回路をシンメトリックロード型またはトランスファゲート型のいずれにも設定することができ、容易に各種インターフェースに対応した汎用性の高い終端抵抗回路を得ることが

可能になる。そして、本第2実施例の終端抵抗回路は、上述した第1実施例の終端抵抗回路よりも素子数を低減することができる。

【0028】

図7は本発明に係る終端抵抗回路の第3実施例を示す回路図である。図7において、参照符号21-1～21-nは、それぞれ図5に示す第1実施例の終端抵抗回路(21)を示す。

図7に示されるように、本第3実施例の終端抵抗回路は、電圧端子V10と伝送路16との間にn個の終端抵抗ユニット(図5に示す終端抵抗回路)を設けて構成したものであり、各終端抵抗ユニット21-1～21-nは、それぞれ制御電圧V11-1, V12-1, V13-1, V14-1, V15-1～V11-n, V12-n, V13-n, V14-n, V15-nにより制御されるようになっている。なお、制御電圧V11-1, V12-1, V13-1, V14-1, V15-1～V11-n, V12-n, V13-n, V14-n, V15-nによる各終端抵抗ユニット21-1～21-nの制御は、その終端抵抗ユニット自身を不活性化する制御も含むのはもちろんである。

【0029】

各終端抵抗ユニット21-1～21-nの制御(シンメトリックロード型またはトランスファゲート型のどちらの終端抵抗回路を有効とするかを定める制御)は、個別に行ってもよいが、例えば、ある任意の複数個を同じ制御電圧で制御するように構成してもよい。

図8は本発明に係る終端抵抗回路の第4実施例を示す回路図であり、上述したある任意の複数個を同じ制御電圧で制御するように構成したものである。ここで、各終端抵抗ユニット21-1～21-nは、それぞれトランジスタ(図5におけるトランジスタ16～19)のサイズが同一とされている。

【0030】

すなわち、本第4実施例の終端抵抗回路は、図8に示されるように、1つの終端抵抗ユニット21-1が制御電圧V11-1, V12-1, V13-1, V14-1, V15-1により制御され、また、2つの終端抵抗ユニット21-2, 21-3が同じ制御電圧V11-2, V12-2, V13-2, V14-2, V

15-2により制御され、さらに、4つの終端抵抗ユニット21-4, 21-5, 21-6, 21-7が同じ制御電圧V11-4, V12-4, V13-4, V14-4, V15-4により制御され、そして、8つの終端抵抗ユニット21-8~21-15が同じ制御電圧V11-8, V12-8, V13-8, V14-8, V15-8により制御されるようになっている。このように、本第4実施例の終端抵抗回路は、同じ重み（重み：1）の終端抵抗ユニットの1個、2個、4個、8個、16個、…をそれぞれ同じ制御電圧で制御するようになっている。

【0031】

図8に示す第4実施例において、所定の重み（例えば、重み：40）の終端抵抗ユニット210を設け、この終端抵抗ユニット210により終端抵抗回路の抵抗値の大まかな調整を行い、他の終端抵抗ユニット21-1~21-15により微細な調整を行うようにすることもできる。ここで、終端抵抗回路の抵抗値の大まかな調整を行う終端抵抗ユニット210の重みは、例えば、製造ばらつき等を考慮して設定される。なお、終端抵抗ユニット210は、抵抗素子により構成することもできる。

【0032】

さらに、各終端抵抗ユニット21-1~21-nは、それぞれトランジスタサイズを同一とし、制御（活性化）する終端抵抗ユニットの数により終端抵抗回路の抵抗値の調整を行うように構成するだけでなく、各終端抵抗ユニットに重みを付け（例えば、トランジスタのゲート長を各終端抵抗ユニット毎に設定し）、制御する終端抵抗ユニットの重みの総和により終端抵抗回路の抵抗値の調整を行うように構成することもできる。なお、各終端抵抗ユニットの重み付けは、重みを1:2:4:8:16:…と設定することもできるが、その重みを1:2:2:2:2:…と設定してもよい。ここで、例えば、各終端抵抗ユニットの重みを1:2:2:2:2:…と設定するのは、製造ばらつき等による重みの変動自身を同等にすることができるからである。

【0033】

図9は本発明に係る終端抵抗回路の第5実施例を示す回路図である。図9において、参照符号22-1~22-nは、それぞれ図6に示す第2実施例の終端抵

抗回路(22)を示す。

図9に示されるように、本第5実施例の終端抵抗回路は、電圧端子V10と伝送路16との間にn個の終端抵抗ユニット(図6に示す終端抵抗回路)を設けて構成したものであり、各終端抵抗ユニット22-1~22-nは、それぞれ制御電圧V15-1, V17-1, V18-1, V19-1~V15-n, V17-n, V18-n, V19-nにより制御されるようになっている。

【0034】

なお、終端抵抗ユニット22-1~22-nは、個別に制御しても、或いは、ある任意の複数個を同じ制御電圧で制御してもよく、さらに、終端抵抗回路の調整は、終端抵抗ユニットの数または重みの総和により行うことができる等は、前述した実施例と同様である。

図10は本発明に係る終端抵抗回路の第6実施例を示す回路図であり、電流制御型の送信器(Tx)に対して終端抵抗回路23, 24(例えば、図8に示す終端抵抗回路)を適用したものである。図10において、参照符号V20およびV21は差動信号、25および26は互いに反対のオン/オフ動作をするNMOSトランジスタ、27は定電流源、30は信号伝送路、そして、outおよびxoutは送信器の出力差動信号を示している。

【0035】

図10に示されるように、本第6実施例では、差動信号(相補信号)outおよびxoutを出力する送信器に対してそれぞれ終端抵抗回路24および23が設けられている。そして、各終端抵抗回路24および23において、制御電圧V11-1, V12-1, V13-1, V14-1, V15-1; V11-2, V12-2, V13-2, V14-2, V15-2; V11-4, V12-4, V13-4, V14-4, V15-4等を制御することにより、それぞれ終端抵抗回路24および23における抵抗値を所望の値(例えば、50Ω)に正確に調整するようになっている。

【0036】

なお、電圧V10は、CML出力したい場合には電源電圧(例えば、3.3Vまたは1.8V)とされ、また、コモンモードを変更したい場合には基準電圧(

例えば、1.3V)とされる。また、各終端抵抗回路23, 24は、例えば、図8を参照して説明したような様々な終端抵抗回路を適用することができる。

図11は本発明に係る終端抵抗回路の第7実施例を示す回路図である。

【0037】

まず、送信器(Tx)をLVDS (Low Voltage Differential Signal) 用として扱う場合、電圧V24にはPMOSトランジスタ28を定電流源として動作させるための電圧を印加する。LVDSレベルにおいて、正論理の出力outがHレベル(例えば、1.4V)で負論理の出力xoutがLレベル(例えば、0.8V)を出力する際には、それぞれ電圧V20およびV22をHレベルとしてトランジスタ25をオンにすると共にトランジスタ29をオフにし、さらに、電圧V21およびV23をLレベルとしてトランジスタ26をオフにすると共にトランジスタ30をオンにする。逆に、LVDSレベルにおいて、正論理の出力outがLレベルで負論理の出力xoutがHレベルを出力する際には、それぞれ電圧V20およびV22をLレベルとしてトランジスタ25をオフにすると共にトランジスタ29をオンにし、さらに、電圧V21およびV23をHレベルとしてトランジスタ26をオンにすると共にトランジスタ30をオフにする。ここで、電圧V25には電源電圧を印加し、電圧V10には何も電圧を印加しない。このとき、終端抵抗230および240は、差動出力out, xoutが中間電位であるため、トランスファゲート型を選択するように制御する。

【0038】

次に、送信器(Tx)をCML用として扱う場合、トランジスタ28は定電流源として動作させず、トランジスタ28, 29, 30を常時オン状態にする。CMLレベルにおいて、正論理の出力outがHレベルで負論理の出力xoutがLレベルを出力する際には、電圧V20をLレベルとしてトランジスタ25をオフにし、電圧V21をHレベルとしてトランジスタ26をオンにする。逆に、CMLレベルにおいて、正論理の出力outがLレベルで負論理の出力xoutがHレベルを出力する際には、電圧V20をHレベルとしてトランジスタ25をオンにし、電圧V21をLレベルとしてトランジスタ26をオフにする。ここで、電圧V25には電源電圧を印加し、電圧V10にも電源電圧を印加する。このと

き、終端抵抗 2 3 0 および 2 4 0 は、差動出力 out , $xout$ が電源電圧付近であるため、シンメトリックロード型を選択するように制御する。

【0 0 3 9】

このように本第 7 実施例の終端抵抗回路によれば、回路を修正することなく複数のインターフェースに対応させることが可能になる。

図 1 2 は本発明に係る終端抵抗回路の第 8 実施例を示す回路図であり、前述した図 1 0 に示す第 6 実施例を変形したものである。図 1 2 において、参照符号 2 8 は電圧 V_{24} により定電流源として機能するもので、図 1 0 における定電流源 2 7 に対応する。

【0 0 4 0】

前述した図 1 0 の第 6 実施例では、終端抵抗回路 2 4 および 2 3 が差動出力 out , $xout$ をプルアップするように設けられているのに対して、本第 8 実施例では、終端抵抗回路 2 4 および 2 3 が差動出力 out , $xout$ をプルダウンするように設けられている。

以上の各実施例において、シンメトリックロード型の終端抵抗回路は、主として図 3 (a) に示すような PMOS トランジスタにより構成されたものを使用して説明したが、図 3 (b) に示すような NMOS トランジスタで構成したシンメトリックロード型の終端抵抗回路を使用することができるのはいうまでもない。

【0 0 4 1】

上述したように、本発明は、外付け終端抵抗を不要とし、且つ、容易に終端方法を変更することができるため、汎用性の高いインターフェース回路を得ることができる。これにより、ユーザの要求に幅広に対応することができ、回路設計の工数増加も抑えることが可能になる。さらに、本発明によれば、製造ばらつきに対しても終端抵抗回路の抵抗値を所望の値に調整することが可能になる。

【0 0 4 2】

【発明の効果】

以上、詳述したように、本発明によれば、汎用性の高い終端抵抗回路を、簡単な回路構成で実現することができる。

【図面の簡単な説明】

【図 1】

伝送路の両端に終端抵抗を設けた信号伝送システムの一例を概略的に示す図である。

【図 2】

伝送路の両端に終端抵抗を設けた信号伝送システムの他の例を概略的に示す図である。

【図 3】

シンメトリックロード型の終端抵抗回路の例を示す図である。

【図 4】

トランスファゲート型の終端抵抗回路の一例を示す図である。

【図 5】

本発明に係る終端抵抗回路の第 1 実施例を示す回路図である。

【図 6】

本発明に係る終端抵抗回路の第 2 実施例を示す回路図である。

【図 7】

本発明に係る終端抵抗回路の第 3 実施例を示す回路図である。

【図 8】

本発明に係る終端抵抗回路の第 4 実施例を示す回路図である。

【図 9】

本発明に係る終端抵抗回路の第 5 実施例を示す回路図である。

【図 1 0】

本発明に係る終端抵抗回路の第 6 実施例を示す回路図である。

【図 1 1】

本発明に係る終端抵抗回路の第 7 実施例を示す回路図である。

【図 1 2】

本発明に係る終端抵抗回路の第 8 実施例を示す回路図である。

【符号の説明】

1 …送信器 (Tx)

2, 3, 5, 6 …終端抵抗

4, 3 0 … 信号伝送路

7 … 受信器 (R x)

8, 9 … 容量結合用コンデンサ

2 1, 2 2, 2 1 0 … 終端抵抗ユニット

2 3, 2 4 … 終端抵抗回路

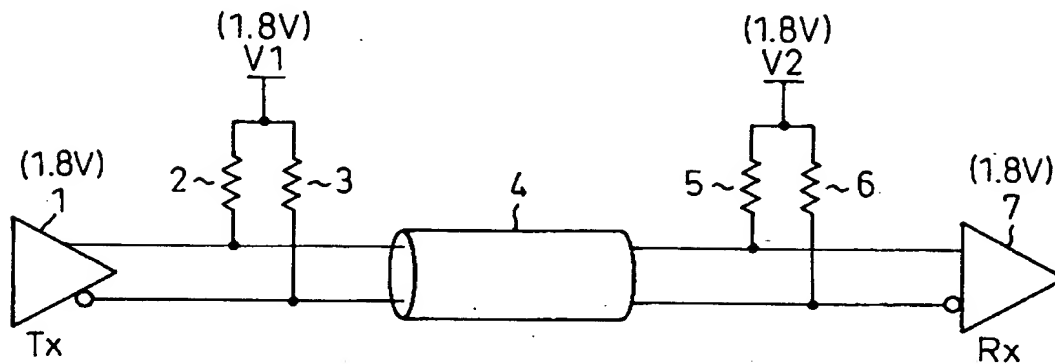
1 0 0 … 第 1 の終端抵抗回路 (シンメトリックロード型の終端抵抗回路)

2 0 0 … 第 2 の終端抵抗回路 (トランスファゲート型の終端抵抗回路)

【書類名】 図面

【図 1】

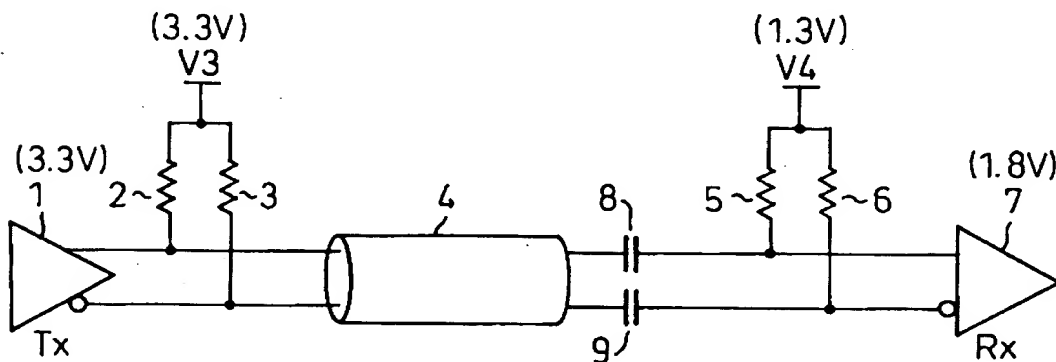
図1 伝送路の両端に終端抵抗を設けた信号伝送システムの一例を概略的に示す図



1…送信器
2, 3, 5, 6…終端抵抗
4…信号伝送路
7…受信器

【図 2】

図2 伝送路の両端に終端抵抗を設けた信号伝送システムの他の例を概略的に示す図

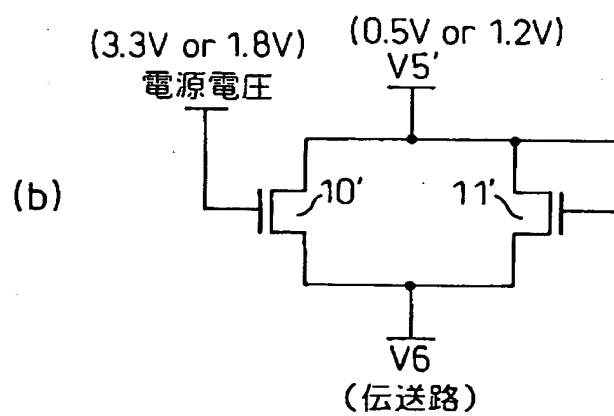
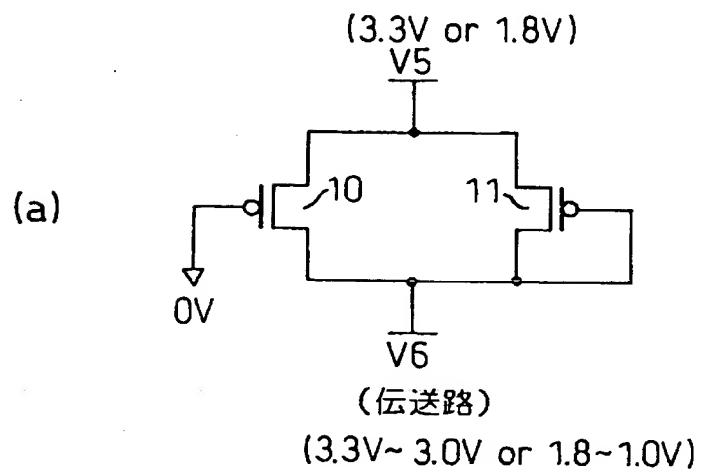


8, 9…容量結合用コンデンサ

【図 3】

図 3

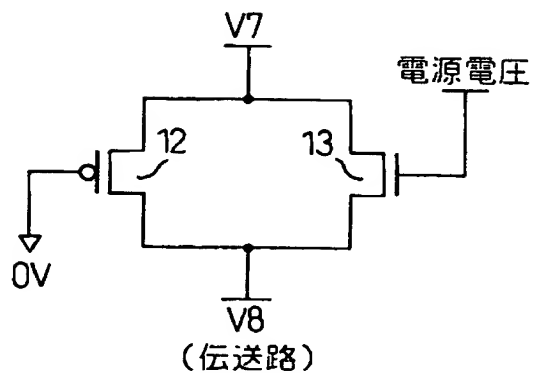
シンメトリックロード型の終端抵抗回路の例を示す図



【図 4】

図 4

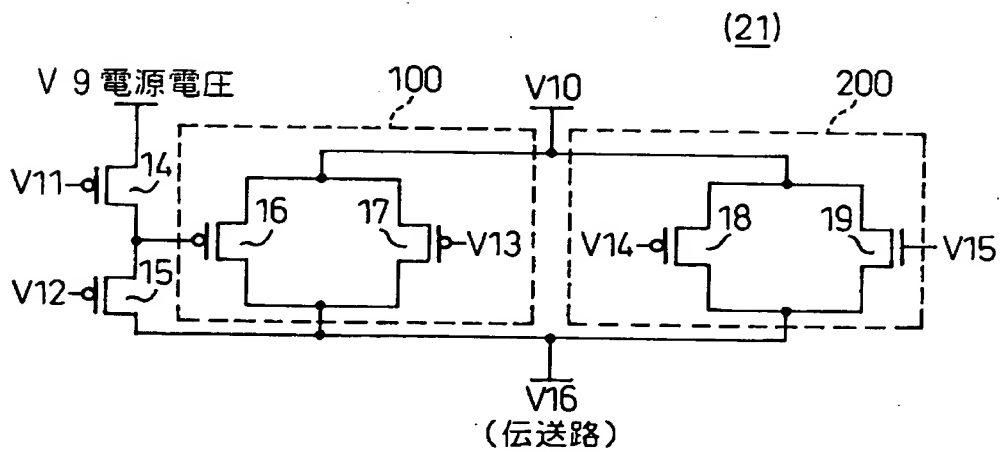
トランスファゲート型の終端抵抗回路の一例を示す図



【図 5】

図 5

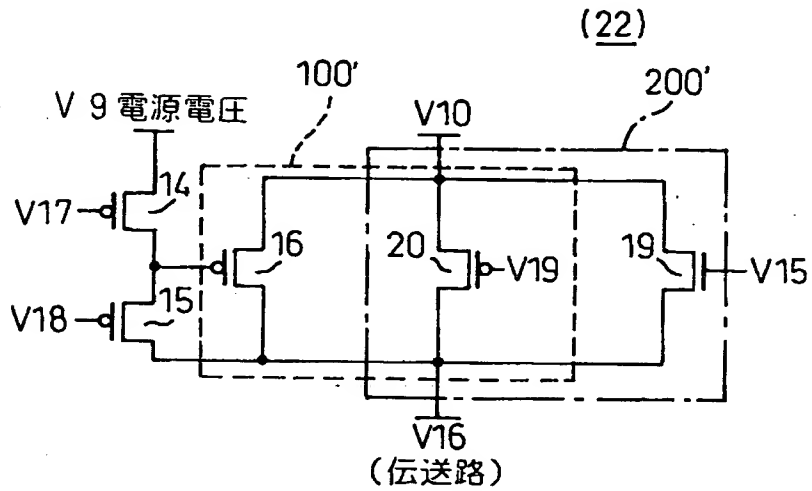
本発明に係る終端抵抗回路の第 1 実施例を示す回路図



【図 6】

図 6

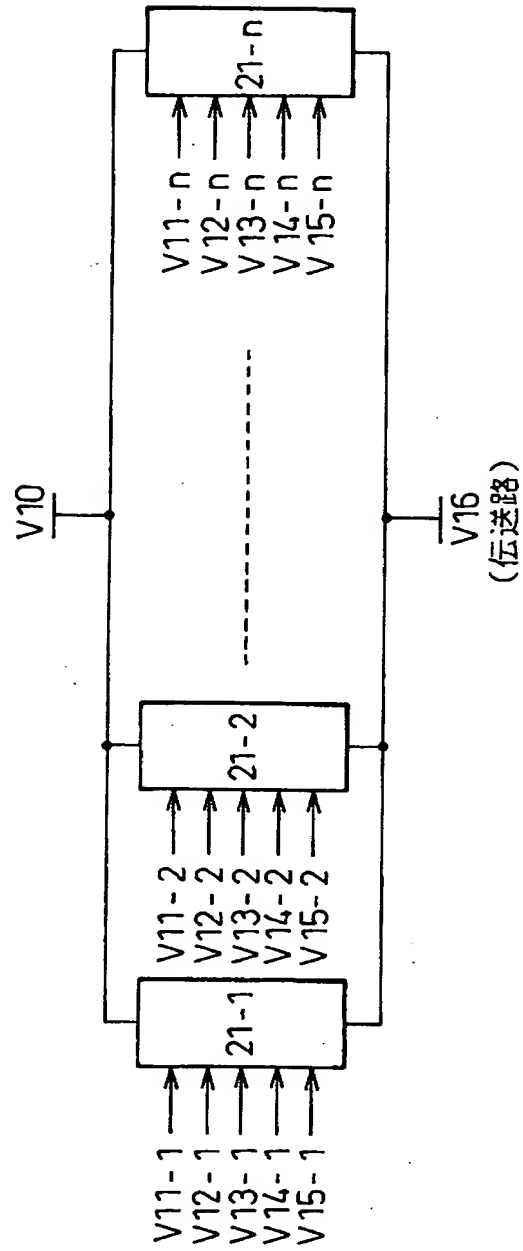
本発明に係る終端抵抗回路の第 2 実施例を示す回路図



【図 7】

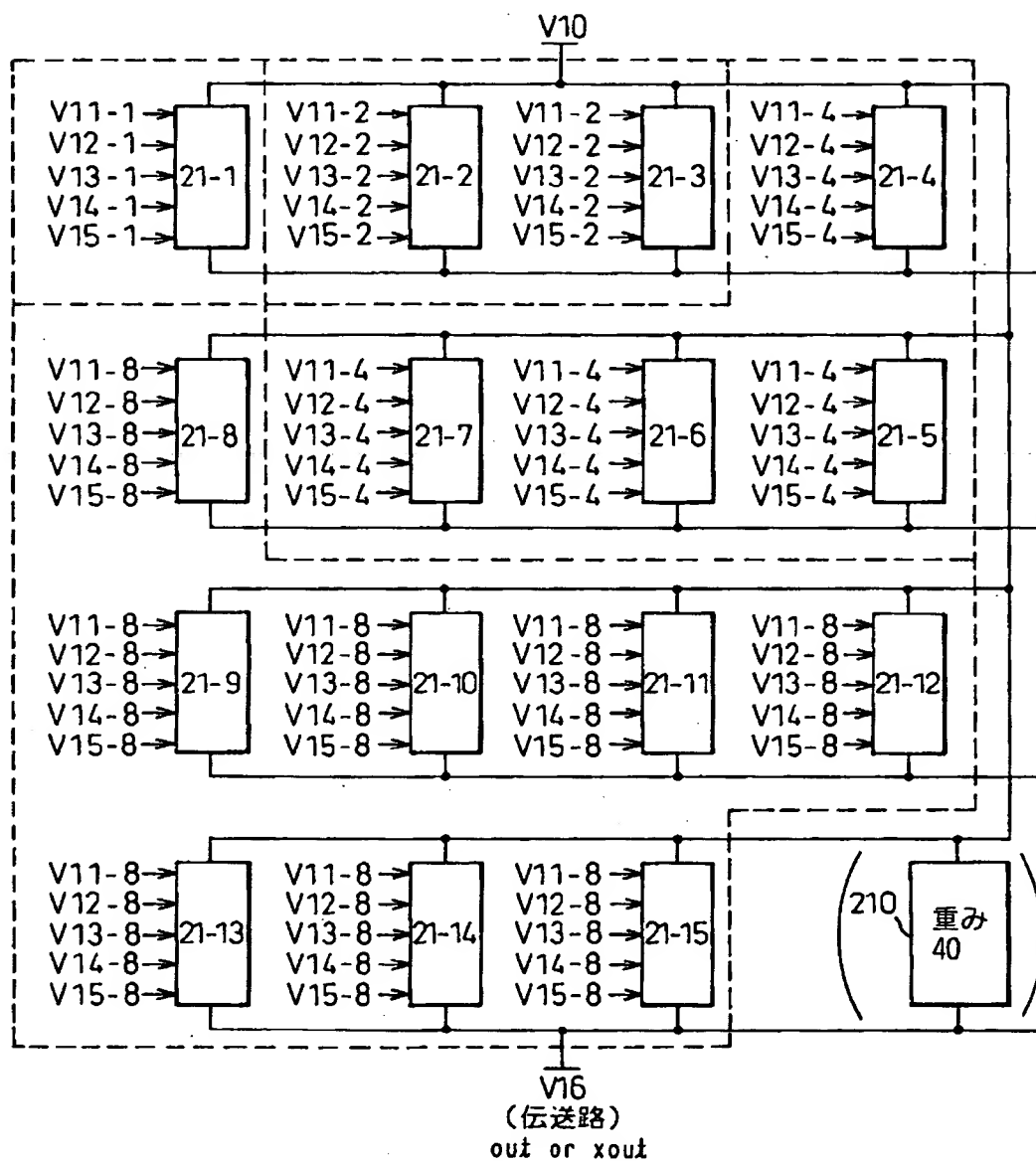
図 7

本発明に係る終端抵抗回路の第 3 実施例を示す回路図



【図 8】

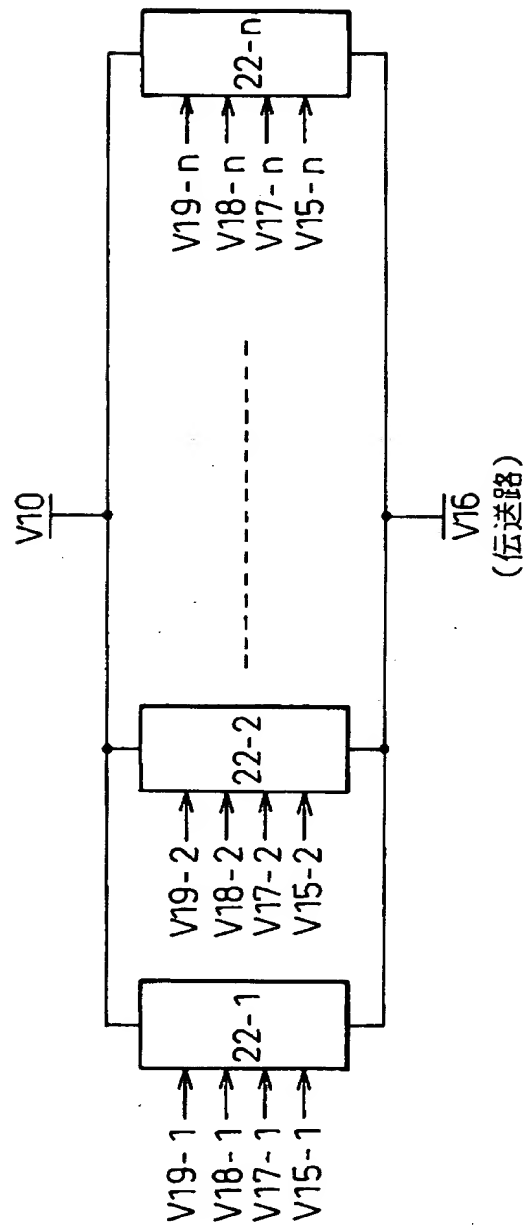
図8 本発明に係る終端抵抗回路の第4実施例を示す回路図



【図 9】

図 9

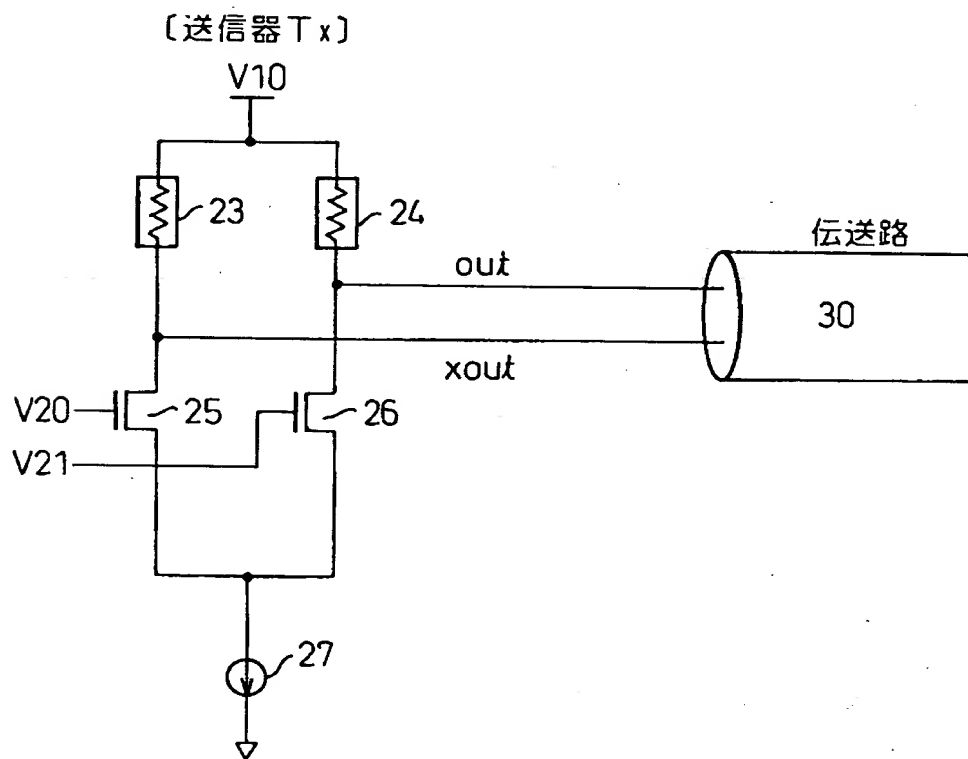
本発明に係る終端抵抗回路の第 5 実施例を示す回路図



【図 1 0】

図10

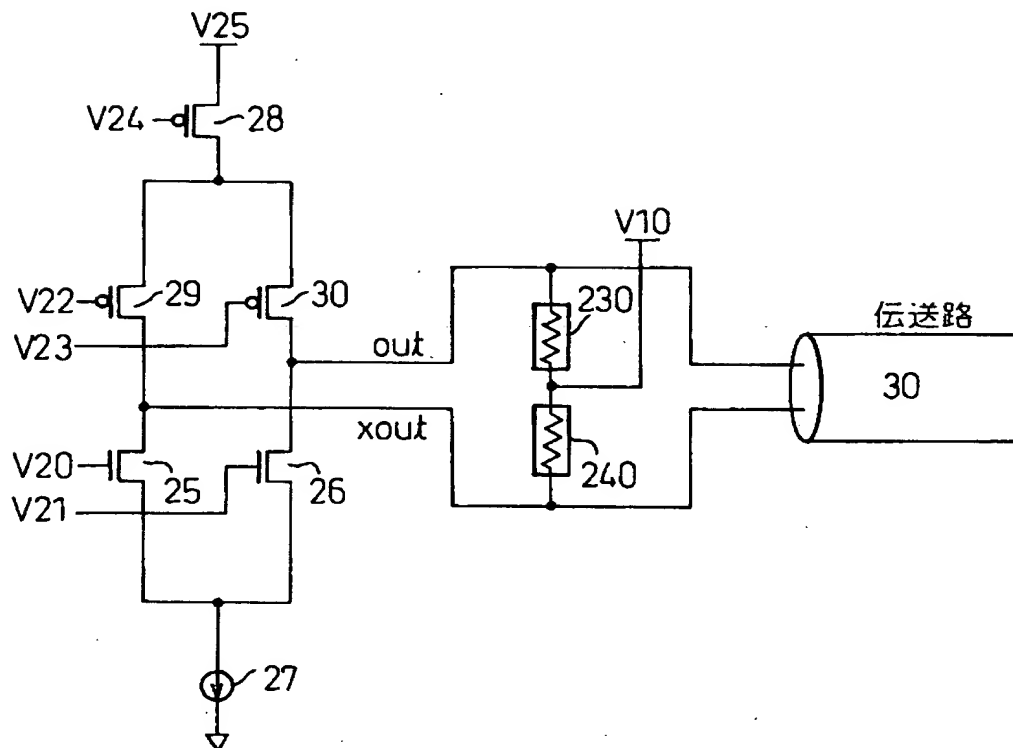
本発明に係る終端抵抗回路の第6実施例を示す回路図



【図 1 1】

図 11

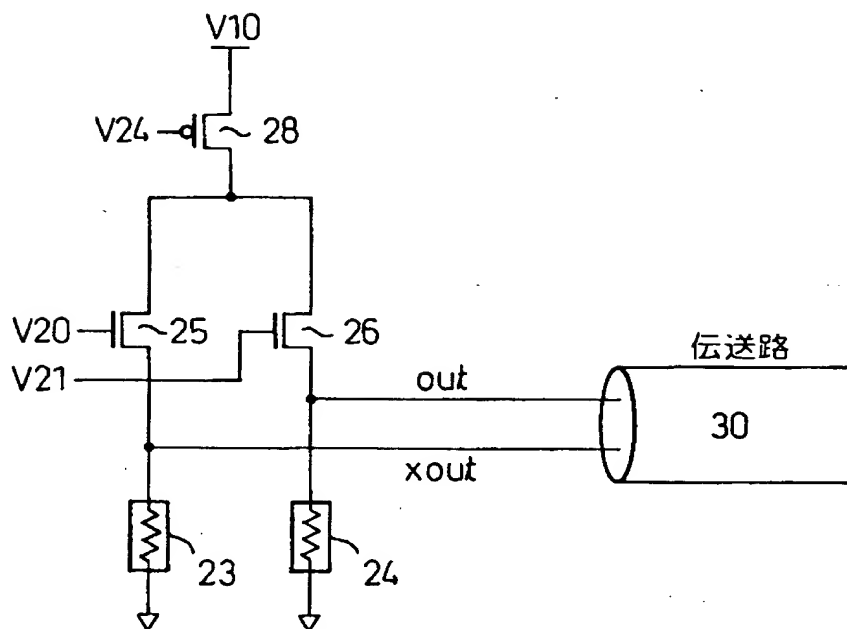
本発明に係る終端抵抗回路の第 7 実施例を示す回路図



【図 1 2】

図12

本発明に係る終端抵抗回路の第 8 実施例を示す回路図



【書類名】 要約書

【要約】

【課題】 終端抵抗を L S I 等に内蔵すると、使用可能なインターフェース回路の種類も固定されることになっていた。

【解決手段】 信号の授受を行うインターフェース回路に配設される終端抵抗回路であって、第 1 の終端抵抗回路 1 0 0 と、該第 1 の終端抵抗回路とは異なる構成の第 2 の終端抵抗回路 2 0 0 とを備え、該第 1 および第 2 の終端抵抗回路を任意に切り替えて使用するように構成する。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000005223]

| | |
|----------|-----------------------|
| 1. 変更年月日 | 1996年 3月26日 |
| [変更理由] | 住所変更 |
| 住 所 | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| 氏 名 | 富士通株式会社 |